

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-208676

(43)Date of publication of application : 26.07.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/3205

(21)Application number : 2001-002331

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.01.2001

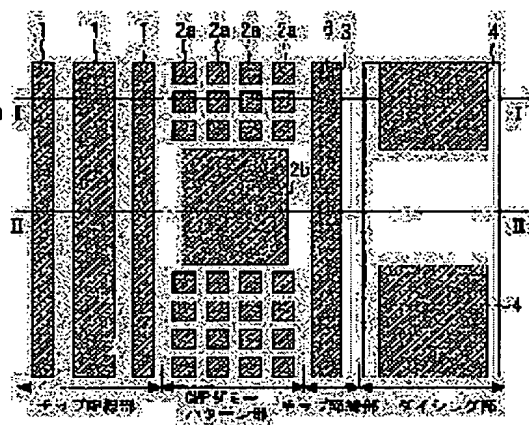
(72)Inventor : SHINKAWADA HIROKI

(54) SEMICONDUCTOR DEVICE, MANUFACTURING AND DESIGNING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve planarity further for a boundary part of a chip, when planarity process in a CMP method is used.

SOLUTION: In the semiconductor device, a dummy pattern 2b made of the same material as a wiring pattern 1 is formed inside a dicing part at a chip boundary part in a prescribed hierarchy out of laminated hierarchies on a semiconductor substrate is formed inside a dicing part. The area of the dummy pattern 2b with to respect the total area of the flat region is made 50% or larger in area constituted by the inner edge of the dummy pattern 2b, the outer edge line of the dicing part, and two desired parallel lines.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-208676
(P2002-208676A)

(43) 公開日 平成14年7月26日 (2002.7.26)

(51) Int.Cl. ⁷	識別記号	F I	ターミナル (参考)
H 0 1 L 27/04		H 0 1 L 27/04	A 5 F 0 3 3
21/822		21/88	S 5 F 0 3 8
21/3205		27/04	D

審査請求 未請求 請求項の数9 O L (全 8 頁)

(21) 出願番号 特願2001-2331(P2001-2331)

(22) 出願日 平成13年1月10日 (2001.1.10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 新川田 裕樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外3名)

Fターム (参考) 5F033 HH00 JJ00 KK00 QQ08 QQ09

QQ11 QQ37 QQ48 UU04 VV01

WW00 XX00 XX01

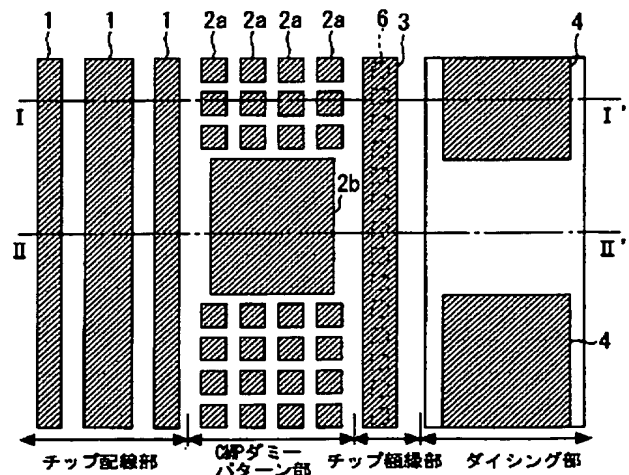
5F038 CA18 CD10 EZ11 EZ19 EZ20

(54) 【発明の名称】 半導体装置、半導体装置の製造方法及び半導体装置の設計方法

(57) 【要約】

【課題】 CMP法による平坦化プロセスを用いた際に、チップ周縁部の平坦性の更なる向上を達成する。

【解決手段】 半導体基板上に積層された複数の階層のうちの所定の階層におけるチップ周縁部において、当該階層に形成された配線パターン1と同一材料から成るダミーパターン2bがダイシング部の内側に形成された半導体装置であって、ダミーパターン2bの内縁、ダイシング部の外縁、及び任意の2本の平行線から構成される平面領域において、当該平面領域の全面積に対するダミーパターン2bの面積が50%以上を占めるように構成した。



【特許請求の範囲】

【請求項 1】 半導体基板上に積層された複数の階層のうち、所定の階層におけるチップ周縁部において、当該階層に形成された配線パターンと同一材料から成るダミーパターンがダイシング部の内側に形成された半導体装置であって、前記ダミーパターンの内縁、前記ダイシング部の外縁、及び任意の 2 本の平行線から構成される平面領域において、当該平面領域の全面積に対する前記ダミーパターンの面積が 50%以上を占めるように構成されたことを特徴とする半導体装置。

【請求項 2】 前記配線パターンと同一材料から成り、前記チップ周縁部に沿って延在する遮蔽用パターンを前記所定の階層に備え、前記ダミーパターンが、前記遮蔽用パターンと近接して形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ダミーパターンが、前記遮蔽用パターンと連続して形成されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記遮蔽用パターンの下に層間絶縁膜を介して下層の遮蔽用パターンが形成されており、前記遮蔽用パターンと前記下層の遮蔽用パターンとが、前記層間絶縁膜に形成された接続孔及びこれを充填する導電膜を介して接続され、前記接続孔が前記遮蔽用パターンに沿った溝形状とされていることを特徴とする請求項 2 又は 3 記載の半導体装置。

【請求項 5】 半導体基板上に形成された絶縁膜上に配線層を形成する工程と、前記絶縁膜上の前記配線層を選択的に除去して、チップ周縁部のダイシング部の内側に所定の配線パターン及びダミーパターンを形成し、前記ダミーパターンの内縁、前記ダイシング部の外縁、及び任意の 2 本の平行線から構成される平面領域において当該平面領域の全面積に対して 50%以上を占めるように前記ダミーパターンの面積を設定する工程と、前記絶縁膜上に前記配線パターン及び前記ダミーパターンを覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜を研磨して平坦化する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記絶縁膜上の前記配線層を選択的に除去して、前記配線パターン及び前記ダミーパターンとともに前記チップ周縁部に沿った形状の遮蔽用パターンを形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記配線パターンと前記遮蔽用パターンを一体のパターンとして形成することを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 半導体基板の上の所定の階層に形成する配線層を、所定の配線パターンとダミーパターンとに分類してチップ周縁部のダイシング部の内側にレイアウトするステップと、前記ダイシング部の外縁、前記ダミー

パターンの内縁、及び任意の 2 本の平行線から構成される平面領域において、当該平面領域の全面積に対する前記ダミーパターンの面積の割合を算出するステップと、前記ダミーパターンの面積の割合と所定のしきい値とを比較するステップと、前記ダミーパターンの面積の割合が前記しきい値よりも小さい場合には、前記ダミーパターンの面積を拡大するステップとを有することを特徴とする半導体装置の設計方法。

【請求項 9】 前記しきい値は、前記平面領域の全面積に対する前記ダミーパターンの面積の割合が 50%以上となる値であることを特徴とする請求項 8 記載の半導体装置の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、半導体装置の製造方法及び半導体装置の設計方法に関し、特に、CMP (Chemical Mechanical Polishing: 化学機械研磨) 法による平坦化プロセスを用いた半導体装置に適用して好適である。

【0002】

【従来の技術】近年の半導体デバイスでは、リソグラフィ等の製造プロセス上の制約から、高段差の層間絶縁膜上に微細な配線パターンを形成することが困難になってきており、層間絶縁膜の平坦性を向上させる必要が生じている。このため、平坦化プロセスとして CMP 法を用いたグローバルな平坦化プロセスが主流になりつつある。CMP 法による平坦化プロセスを用いる際には、いわゆるディッシングの発生を抑制するために、平坦化する層間絶縁膜の下層の配線層に CMP 用ダミーパターンを配置する必要がある。

【0003】ディッシングとは、層間絶縁膜の研磨特性が下層の配線層の密度 (配線密度) に応じて変動する現象であって、下層に配線層が存在しない領域、すなわち配線密度の低い領域の方が、下層に配線が存在する配線密度の高い領域よりも層間絶縁膜の研磨量が多くなるという現象である。ディッシングが発生すると、研磨の進行に伴って配線密度の低い領域上の層間絶縁膜の表面が過剰に研磨されてしまい、下層の配線層まで研磨が及んでしまうため、配線層のパターン劣化が発生してしまう。

【0004】上述した CMP 用ダミーパターンは、研磨する層間絶縁膜の下層の配線密度を均一化させるために用いるものであって、デバイス動作に必要な配線パターンのみならず、所定の位置にダミーパターンを配置することにより、ディッシングの発生を抑えて平坦性の劣化を防止することができる。

【0005】

【発明が解決しようとする課題】しかしながら、ウエハ上における各半導体チップの境界であるダイシング部には、上述したようなダミーパターンを配置することは

3

きないため、ダイシング部近傍で層間絶縁膜の平坦性が悪化するという問題が生じていた。

【0006】図7及び図8を参照しながら、この問題について詳細に説明する。図7及び図8は、半導体装置のダイシング工程前の状態を示すもので、半導体ウエハ上に半導体素子を形成した後、上層の配線層100、配線層100を覆う層間絶縁膜101を積層した状態を示している。ここで、図7及び図8は、複数層の配線層が形成された半導体デバイスのn層目（nは自然数）の配線層100を一例として示しており、その他の階層の配線層については図示を省略している。また、図7は半導体装置の平面図を、図8は断面図を示しており、図8

(a)は図7に示す一点鎖線I I I'-I I I'線に沿った断面を、図8(b)は、図1に示す一点鎖線I V-I V'線に沿った断面を示している。なお、図7においては説明のため層間絶縁膜101の図示を省略する。

【0007】図8(a)に示すように、ダイシング部に配線層100から成るアライメントマークが形成されている領域の近傍では、n層目のダイシング部、チップ配線部及びCMPダミーパターン部のそれぞれの配線密度が比較的近いレベルに保たれるため、各部位のそれぞれにおいてCMP法による層間絶縁膜101の研磨量に大きな差は生じない。

【0008】しかし、図8(b)に示すように、通常、ダイシング部には配線層100から成る配線パターンを形成することができないため、チップ配線部、CMPダミーパターン部及びチップ領域部に対するダイシング部の配線密度が非常に小さくなる。このため、チップ配線部からダイシング部側に移行するにつれて、層間絶縁膜101の研磨量が増加し、最もダイシング部に近い側のチップ配線100aに研磨が及んで、チップ配線100aのパターンに劣化が生じてしまう。従って、パターン劣化によりデバイスの信頼性が低下するという問題が生じていた。

【0009】この発明は上述のような課題を解決するためになされたものであり、第1の目的は、CMP法による平坦化プロセスを用いた際に、チップ周縁部における平坦性の更なる向上を達成することのできる半導体装置、半導体装置の製造方法及び半導体装置の設計方法を得るものである。また、第2の目的は、チップ周縁部の遮蔽用パターンから成るチップ領域部の構成を、平坦化のためにより効率化させることにある。

【0010】

【課題を解決するための手段】この発明における半導体装置は、半導体基板上に積層された複数の階層のうちの所定の階層におけるチップ周縁部において、当該階層に形成された配線パターンと同一材料から成るダミーパターンがダイシング部の内側に形成された半導体装置であって、前記ダミーパターンの内縁、前記ダイシング部の外縁、及び任意の2本の平行線から構成される平面領域に

4

において、当該平面領域の全面積に対する前記ダミーパターンの面積が50%以上を占めるように構成されたものである。

【0011】また、前記配線パターンと同一材料から成り、前記チップ周縁部に沿って延在する遮蔽用パターンを前記所定の階層に備え、前記ダミーパターンが、前記遮蔽用パターンと近接して形成されているものである。

【0012】また、前記ダミーパターンが、前記遮蔽用パターンと連続して形成されたものである。

10 【0013】また、前記遮蔽用パターンの下に層間絶縁膜を介して下層の遮蔽用パターンが形成されており、前記遮蔽用パターンと前記下層の遮蔽用パターンとが、前記層間絶縁膜に形成された接続孔及びこれを充填する導電膜を介して接続され、前記接続孔が前記遮蔽用パターンに沿った溝形状とされたものである。

【0014】また、この発明の半導体装置の製造方法は、半導体基板上に形成された絶縁膜上に配線層を形成する工程と、前記絶縁膜上の前記配線層を選択的に除去して、チップ周縁部のダイシング部の内側に所定の配線パターン及びダミーパターンを形成し、前記ダミーパターンの内縁、前記ダイシング部の外縁、及び任意の2本の平行線から構成される平面領域において当該平面領域の全面積に対して50%以上を占めるように前記ダミーパターンの面積を設定する工程と、前記絶縁膜上に前記配線パターン及び前記ダミーパターンを覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜を研磨して平坦化する工程とを有するものである。

【0015】また、前記絶縁膜上の前記配線層を選択的に除去して、前記配線パターン及び前記ダミーパターンとともに前記チップ周縁部に沿った形状の遮蔽用パターンを形成するものである。

【0016】また、前記配線パターンと前記遮蔽用パターンを一体のパターンとして形成するものである。

【0017】また、この発明の半導体装置の設計方法は、半導体基板の上の所定の階層に形成する配線層を、所定の配線パターンとダミーパターンとに分類してチップ周縁部のダイシング部の内側にレイアウトするステップと、前記ダイシング部の外縁、前記ダミーパターンの内縁、及び任意の2本の平行線から構成される平面領域において、当該平面領域の全面積に対する前記ダミーパターンの面積の割合を算出するステップと、前記ダミーパターンの面積の割合と所定のしきい値とを比較するステップと、前記ダミーパターンの面積の割合が前記しきい値よりも小さい場合には、前記ダミーパターンの面積を拡大するステップとを有するものである。

【0018】また、前記しきい値は、前記平面領域の全面積に対する前記ダミーパターンの面積の割合が50%以上となる値である。

【0019】

50 【発明の実施の形態】実施の形態1. 図1及び図2は、

5

この発明の実施の形態 1 である半導体装置のダイシング工程前の状態を示すもので、半導体ウエハ上に半導体素子を形成した後、上層の配線層及び層間絶縁膜を積層した状態を示している。ここで、図 1 及び図 2 は、複数層の配線層が形成された半導体デバイスの n 層目 (n は自然数) の配線層を一例として示しており、その他の階層の配線層については図示を省略している。また、図 1 は半導体装置の平面図を、図 2 は断面図を示しており、図 2 (a) は図 1 に示す一点鎖線 I-I' 線に沿った断面を、図 2 (b) は、図 1 に示す一点鎖線 I-I' 線に沿った断面を示している。なお、図 1 においては説明のため層間絶縁膜 5 の図示を省略する。

【0020】半導体ウエハ上に複数個形成される各半導体チップは、図 1 及び図 2 に示すダイシング部を境界としてダイサーにより分断される。そして、 n 層目の配線層から構成されたチップ配線 1 は、ダイシング部に対してチップ内側に位置するチップ配線部に設けられている。チップ配線 1 は、実際に半導体チップを動作させるために必要な配線である。

【0021】 n 層目の配線層からは、チップ配線 1 の他にダミーパターン 2 a、遮蔽用パターン 3、アライメントマーク 4 が構成されている。ダミーパターン 2 a、遮蔽用パターン 3、アライメントマーク 4 は、CMP ダミーパターン部、チップ額縁部、ダイシング部のそれぞれの領域に設けられている。

【0022】チップ額縁部は、ダイシング部とチップ配線部の間のダイシング部側に設けられている。また、CMP ダミーパターン部は、ダイシング部とチップ配線部の間のチップ配線部側に設けられている。そして、ダイシング部はそれぞれの半導体チップを分断するためウエハ上で格子状に形成されているため、チップ額縁部と CMP ダミーパターン部は 1 つの半導体チップを囲むように設けられている。

【0023】そして、 n 層目の配線層から構成されたこれらのチップ配線 1、ダミーパターン 2 a、遮蔽用パターン 3、アライメントマーク 4 の上層及び下層には、更に上層 ($n+1$ 層) 及び下層 ($n-1$ 層) の配線層との電気的絶縁を行うための層間絶縁膜 5 が形成されている。

【0024】チップ額縁部では、図 2 (a) に示すように、遮蔽用パターン 3 の下層に位置する層間絶縁膜 5 に接続孔 6 が形成されており、遮蔽用パターン 3 は接続孔 6 及びこれを充填する導電膜によって更に下層 ($n-1$ 層) の遮蔽用パターン (不図示) と接続されている。同様に、遮蔽用パターン 3 の上層に位置する層間絶縁膜 5 には接続孔 8 が形成されており、遮蔽用パターン 3 は接続孔 8 及びこれを充填する導電膜によって更に上層 ($n+1$ 層) の遮蔽用パターンと接続されている。従って、チップ額縁部では各層の遮蔽用パターンが上層から下層まで接続孔を介して接続されており、遮蔽用パターンと

6

接続孔からなる構造によってチップ外周縁を囲むことにより、チップ内部への水分等の侵入が抑止される。

【0025】この実施の形態 1 では、図 1 に示すように、アライメントマーク 4 が形成されていないダイシング部の近傍では、CMP ダミーパターン部にダミーパターン 2 a よりも広い面積のダミーパターン 2 b を配置している。このように、 n 層目の配線層を形成することのできないダイシング部の近傍に大面積のダミーパターン 2 b を配置することにより、ダイシング部における配線密度の低下をダミーパターン 2 b によって補償することができ、CMP 法によって n 層目の配線層上の層間絶縁膜 5 を研磨した際に、ディッシングが発生してチップ配線 1 が研磨されてしまうことを抑止できる。

【0026】図 2 を参照しながらこのことを説明する。図 2 (a) に示す I-I' 断面では、ダイシング部にアライメントマーク 4 が存在するため、ダイシング部において n 層目の配線密度は極端に低下していない。このため、図 1 の一点鎖線 I-I' に沿った領域においては、 n 層目の配線層上の層間絶縁膜 5 の研磨を略均一に行うことができ、チップ配線 1 のパターン劣化は最小限に抑えられる。

【0027】図 2 (b) に示す I-I' 断面では、ダイシング部にアライメントマーク 4 が存在しておらず、また、ダイシング部であるため n 層目の配線層を形成することができないため、ダイシング部において配線密度が大幅に低下してしまう。しかし、図 2 (b) に示すように、CMP ダミーパターン部に大面積のダミーパターン 2 b を配置しているため、ダイシング部でディッシングの発生によって層間絶縁膜 5 が過剰に研磨された場合であっても、その影響がチップ配線部まで及ぶことを抑止することができる。これにより、チップ配線部において過剰な研磨が行われることを抑止することができ、実際にデバイスを動作させるチップ配線 1 のパターン劣化を最小限に抑えることができる。

【0028】ダミーパターン 2 b の大きさの設定は、具体的には以下のように行うことが望ましい。図 1 の平面図において CMP ダミーパターン部の内縁、ダイシング部の外縁、及び任意の 2 本の平行線から構成される任意の平面領域 (例えば、一点鎖線 I-I'、一点鎖線 I-I'、CMP ダミーパターン部の内縁、ダイシング部の外縁で囲まれた矩形領域) を設定し、この領域の n 層目の配線層 (チップ配線 1、ダミーパターン 2 a、2 b、遮蔽用パターン 3、アライメントマーク 4) の配線密度を算出する。配線密度の算出は、設定した任意の平面領域の全面積に対する配線層の面積の割合で算出する。すなわち、 n 層目における配線密度は、
配線密度 (%) = (配線層の面積 / 設定した任意の平面領域の全面積) × 100

となる。なお、CMP ダミーパターン部の内縁とはチップ配線部側の内縁、すなわち CMP ダミーパターン部と

7

チップ配線部の境界をいい、ダイシング部の外縁とは図 1 においてチップ配線部に対して反対側の外縁、すなわち、隣接する半導体チップ（図 1 において不図示）とダイシング部の境界をいう。

【0029】チップ配線 1 を含む配線層のパターンレイアウトの際には、まず、パターンレイアウトを行い、パターン上で上述の任意の平面領域を設定する。次に、設定した任意の平面領域の全面積に対するダミーパターンの面積の割合（配線密度）を算出する。そして、任意の平面領域における配線密度が必ず 50% 以上となるように、ダミーパターン 2 b の大きさを設定する。配線密度が 50% に満たない場合には、ダミーパターン 2 b を拡大して任意の領域における配線密度が必ず 50% 以上となるようにする。この設計方法により、ディッシングの発生を確実に抑止することのできるパターンレイアウトを行うことができる。

【0030】次に、図 1 及び図 2 に示す半導体装置の製造方法の概略を説明する。まず、 $n-1$ 層目の配線層をパターンニングした後、この配線パターンを覆うように層間絶縁膜 5 を形成し表面を平坦化する。

【0031】次に、この層間絶縁膜 5 上に n 層目の配線層を形成する。そして、フォトリソグラフィ及びこれに続くドライエッチングにより n 層目の配線層をパターンニングして、チップ配線 1、ダミーパターン 2 a、2 b、遮蔽用パターン 3、アライメントマーク 4 を形成する。このフォトリソグラフィのパターンレイアウトの際には、上述のパターンレイアウト方法により、任意の平面領域における配線密度が 50% 以上となるようにダミーパターン 2 b の大きさを設定する。

【0032】次に、チップ配線 1、ダミーパターン 2 a、2 b、遮蔽用パターン 3、アライメントマーク 4 を覆うように更に層間絶縁膜 5 を形成する。その後、CMP 法により n 層目の層間絶縁膜 5 を研磨して平坦化する。ダミーパターン 2 b の大きさを所定範囲確保することにより、ディッシングによる過剰な研磨がチップ配線 1 に及ぶことを抑止でき、チップ配線 1 のパターン劣化を抑止することができる。

【0033】以上説明したように、実施の形態 1 では、 n 層目の配線層を形成することのできないダイシング部の近傍に大面積のダミーパターン 2 b を配置することによって、ディッシングが発生してダイシング部における層間絶縁膜 5 の研磨量が過大となった場合であっても、その影響がチップ配線 1 まで及ぶことを抑止することが可能となる。この際、図 1 の平面図の任意の領域における配線密度が 50% 以上となるようにダミーパターン 2 b の大きさを設定することにより、チップ配線 1 のパターン劣化を最小限に抑えることができる。

【0034】実施の形態 2、図 3 は、この発明の実施の形態 2 である半導体装置のダイシング工程前の状態を示す平面図である。実施の形態 1 では、 n 層目の配線層が

8

ら成る遮蔽用パターン 3 とその下層（ $n-1$ 層）の遮蔽用パターンとを接続する接続孔 6 として矩形的接続孔を用いたが、実施の形態 2 では、図 3 に示すように遮蔽用パターン 3 の下層に遮蔽用パターン 6 に沿った形状の溝状の接続孔 7 を形成し、接続孔 7 及びこれを充填する導電膜によって遮蔽用パターン 3 と下層（ $n-1$ 層）の遮蔽用パターンとを接続している。なお、図 3 の一点鎖線 $I-I'$ 及び一点鎖線 $II-II'$ に沿った断面は、図 2 (a) 及び図 2 (b) と同様となる。

10 【0035】このように、実施の形態 2 では、チップ額縁部に形成した n 層目の遮蔽用パターン 3 と下層（ $n-1$ 層）の遮蔽用パターンとを接続する接続孔 7 を溝状とすることにより、遮蔽用パターン 3 を下側から確実に支持することができ、ディッシングによりチップ配線 1 の上層の層間絶縁膜 5 が過剰に研磨されることをより効率的に抑えることが可能となる。また、CMP ダミーパターン部に大面積のダミーパターン 2 b を配置しているため、実施の形態 1 と同様の効果を得ることができる。

20 【0036】実施の形態 3、図 4 及び図 5 は、この発明の実施の形態 3 である半導体装置のダイシング工程前の状態を示すもので、半導体ウエハ上に半導体素子を形成した後、上層の配線膜及び層間絶縁膜を積層した状態を示している。ここで、図 4 及び図 5 は、複数層の配線層が形成された半導体デバイスの n 層目（ n は自然数）の配線層を一例として示しており、その他の階層の配線層については図示を省略している。また、図 4 は半導体装置の平面図を、図 5 は断面図を示しており、図 5 (a) は図 4 に示す一点鎖線 $I-I'$ 線に沿った断面を、図 5 (b) は、図 1 に示す一点鎖線 $II-II'$ 線に沿った断面を示している。なお、図 4 においては説明のため層間絶縁膜 5 の図示を省略する。

30 【0037】この実施の形態 3 では、実施の形態 1 と同様に、 n 層目の配線層を形成することのできないダイシング部近傍の CMP ダミーパターン部に比較的大きな面積のダミーパターンを形成することにより、CMP ダミーパターン部の配線密度が低下することを抑止している。そして、実施の形態 3 では、 n 層目のチップ額縁部の配線層と CMP ダミーパターンの配線層が一体となるようにチップ額縁部の配線層を CMP ダミーパターン部まで拡大して、図 4 に示すような遮蔽用パターン 3 a を形成している。すなわち、遮蔽用パターン 3 a とダミーパターンが連続して形成されている。

40 【0038】このように、遮蔽用パターン 3 a を CMP ダミーパターン部まで拡大することにより、実施の形態 1 と同様に CMP ダミーパターン部の配線密度を高めることが可能となる。実施の形態 3 においても、遮蔽用パターン 3 a の形状は、実施の形態 1 と同様に図 4 の平面図における任意の領域の配線密度が 50% 以上となるように設定する。

50 【0039】実施の形態 4、図 6 は、この発明の実施の

形態 4 である半導体装置のダイシング工程前の状態を示す平面図である。実施の形態 3 では、図 4 に示すように n 層目の配線層から成る遮蔽用パターン 3 とその下層 ($n-1$ 層) の遮蔽用パターンとを接続する接続孔 6 として矩形的接続孔を用いたが、実施の形態 4 では、図 6 に示すように遮蔽用パターン 3 の下層に遮蔽用パターン 6 に沿った形状の溝状の接続孔 7 を形成し、接続孔 7 及びこれを充填する導電膜によって遮蔽用パターン 3 と下層 ($n-1$ 層) の遮蔽用パターンとを接続している。なお、図 6 の一点鎖線 I-I' 及び一点鎖線 I-I' に沿った断面は、図 5 (a) 及び図 5 (b) と同様となる。

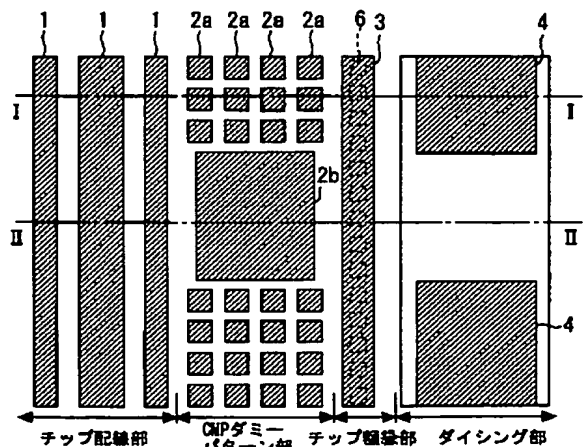
【0040】このように、実施の形態 4 では実施の形態 2 と同様にチップ周縁部に形成した n 層目の遮蔽用パターン 3 と下層 ($n-1$ 層) の遮蔽用パターンとを接続する接続孔 7 を溝状とすることにより、遮蔽用パターン 3 a を下側から確実に支持することができ、ディッシングによりチップ配線 1 の上層の層間絶縁膜 5 が過剰に研磨されることをより効率良く抑えることが可能となる。また、CMP ダミーパターン部まで拡大された遮蔽用パターン 3 a を配置しているため、実施の形態 3 と同様の効果を得ることができる。

【0041】

【発明の効果】本発明によれば、CMP 法による平坦化プロセスを用いた際に、チップ周縁部のダミーパターンを含む任意の平面領域において、当該平面領域の全面積に対する前記ダミーパターンの面積が 50% 以上を占めるようにしたため、チップ周縁部の平坦性の更なる向上を達成することが可能となり、チップ周縁部における配線パターンの形状劣化を抑止することができる。

【0042】また、ダミーパターンを遮蔽用パターンと近接して形成したことにより、遮蔽用パターンとともにその領域における配線密度を高めることができ、チップ周縁部の平坦性の更なる向上を達成することができる。

【図 1】



【0043】また、ダミーパターンを遮蔽用パターンを一体に形成したことにより、配線密度を更に高めて平坦性の更なる向上を達成するとともに、ダミーパターンの形成を容易に行うことが可能となる。

【0044】また、遮蔽用パターンと下層の遮蔽用パターンを前記遮蔽用パターンに沿った溝形状の接続孔を介して接続したため、より効率良く平坦化を達成することができる。

【0045】また、ダミーパターンの面積の割合を算出し、この割合が所定のしきい値よりも小さい場合には、ダミーパターンの面積を拡大してレイアウトするようにしたため、チップ周縁部の平坦性の更なる向上を達成することが可能となり、チップ周縁部における配線パターンの形状劣化を抑止することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 の半導体装置を示す平面図である。

【図 2】 この発明の実施の形態 1 の半導体装置を示す概略断面図である。

【図 3】 この発明の実施の形態 2 の半導体装置を示す平面図である。

【図 4】 この発明の実施の形態 3 の半導体装置を示す平面図である。

【図 5】 この発明の実施の形態 3 の半導体装置を示す概略断面図である。

【図 6】 この発明の実施の形態 4 の半導体装置を示す平面図である。

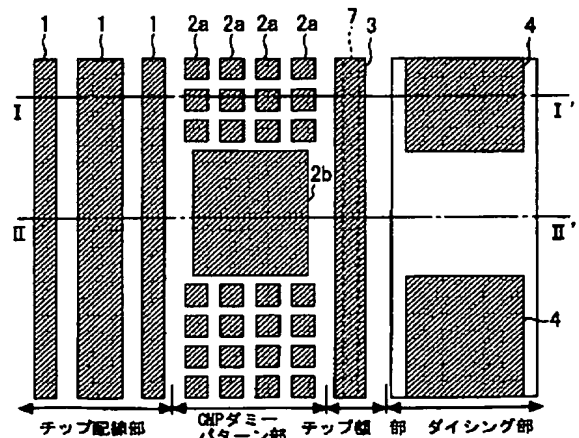
【図 7】 従来の半導体装置を示す平面図である。

【図 8】 従来の半導体装置を示す概略断面図である。

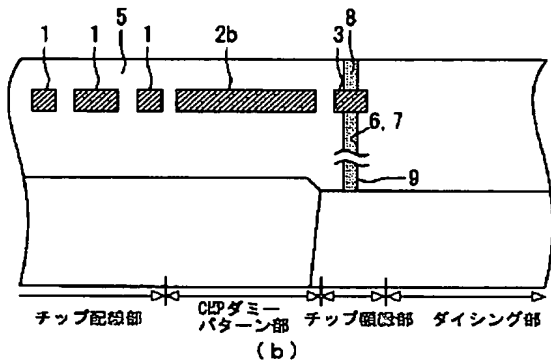
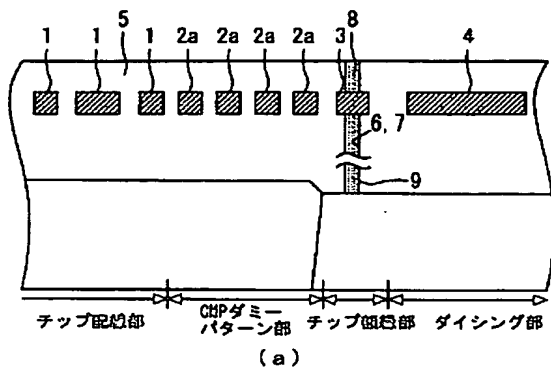
【符号の説明】

- 1 チップ配線、 2 a, 2 b ダミーパターン、
3 遮蔽用パターン、 4 アライメントマーク、
5 層間絶縁膜、 6, 7, 8, 9 接続孔。

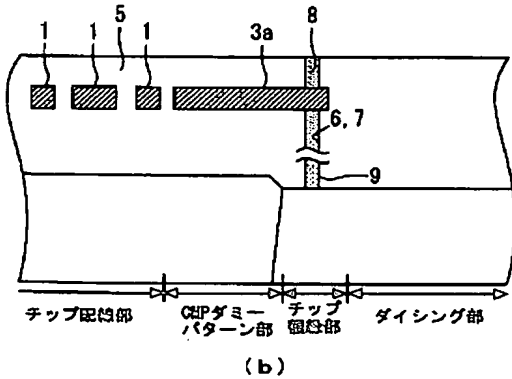
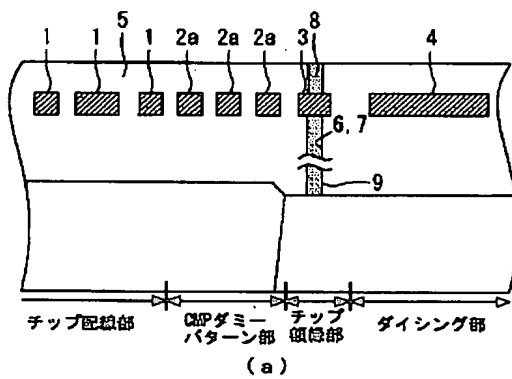
【図 3】



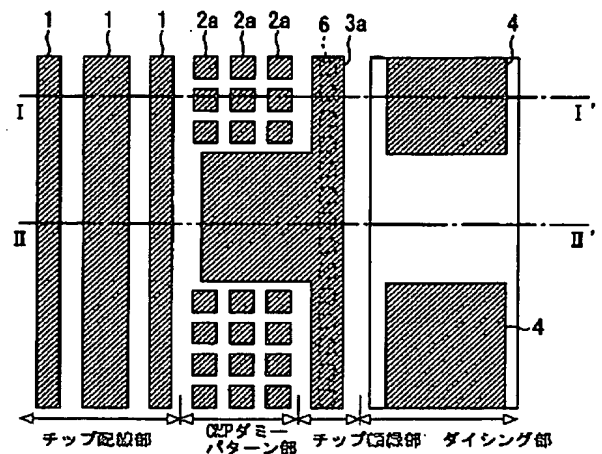
【図 2】



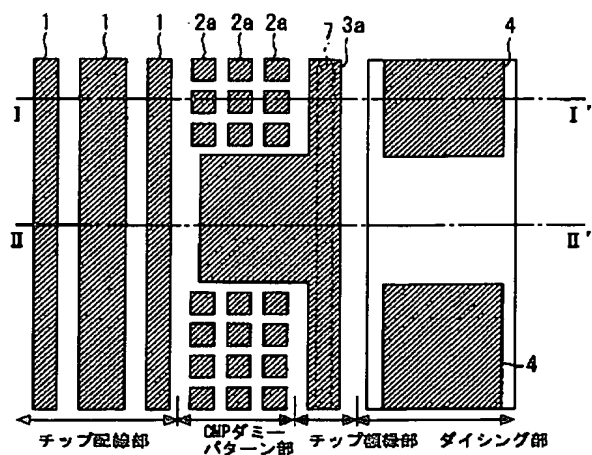
【図 5】



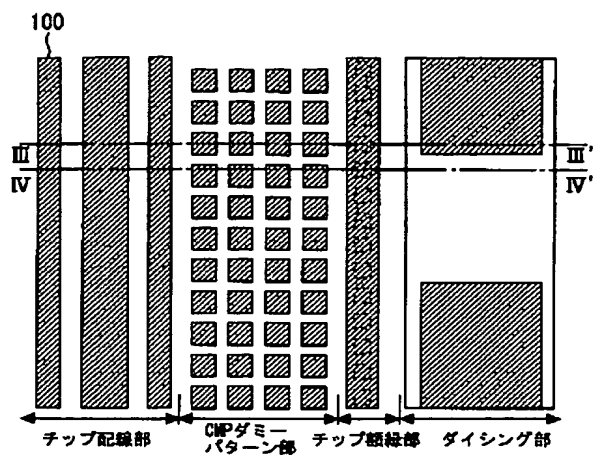
【図 4】



【図 6】



【図 7】



【図 8】

